

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-282348

(43)公開日 平成6年(1994)10月7日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 1/06				
H 0 3 K 5/156	Z	7402-5 J		
		7165-5B	G 0 6 F 1/ 04	3 1 2 D

審査請求 未請求 請求項の数1 O L (全 3 頁)

(21)出願番号 特願平5-66538

(22)出願日 平成5年(1993)3月25日

(71)出願人 000002059

神鋼電機株式会社

東京都中央区日本橋3丁目12番2号

(72)発明者 大国雅人

三重県伊勢市竹ヶ鼻町100番地 神鋼電機

株式会社伊勢製作所内

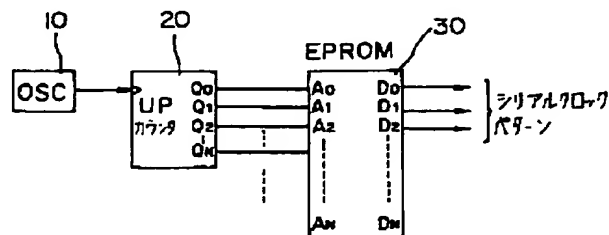
(74)代理人 弁理士 小林 博

(54)【発明の名称】 シリアルクロック生成回路

(57)【要約】

【目的】 汎用的な素子を用いて、任意パターンのシリアルクロックを簡単容易に得ることができるシリアルクロック生成方法を提供することを目的とする。

【構成】 一定周波数のパルス列を発振する発振器10と、当該発振器の出力パルスを計数するカウンタ20と、各アドレスポートが、前記カウンタの対応する出力ポートにそれぞれ接続されたメモリデバイス30とを備え、当該メモリデバイス30は、クロックパターンデータを格納していることを特徴とする。



1

2

## 【特許請求の範囲】

【請求項1】 一定周波数のパルス列を発振する発振器と、当該発振器の出力パルスを計数するカウンタと、各アドレスポートが、前記カウンタの対応する出力ポートにそれぞれ接続されたメモリデバイスとを備え、当該メモリデバイスは、クロックパターンデータを格納していることを特徴とするシリアルクロック生成回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、シリアルデータを送出するシリアルデバイスに与えるシリアルクロックの生成回路に関する。

【0002】

【従来の技術】この種のシリアルクロックは、シリアルデバイスが要求するパターンのシリアルクロックを発生させる必要から、従来は、シリアルデバイスに専用のクロック発生回路(チップ)を用意していた。

【0003】

【発明が解決しようとする課題】このため、クロック発生回路は高価である他、必要とするシリアルクロックのパターンが複雑であるような場合には、市販のものでは間に合わず、自社製作しなくてはならぬが、多大の手間と時間がかかるという問題があった。

【0004】本発明はこの問題を解消するためになされたもので、汎用的なチップを用いて、任意パターンのシリアルクロックを簡単容易に得ることができるシリアルクロック生成回路を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明は上記目的を達成するため、一定周波数のパルス列を発振する発振器と、当該発振器の出力パルスを計数するカウンタと、各アドレスポートが、前記カウンタの対応する出力ポートにそれぞれ接続されたメモリデバイスとを備え、当該メモリデバイスは、クロックパターンデータを格納している構成とした。

【0006】

【作用】本発明では、発振器、カウンタ、メモリデバイスといった極めて汎用的な素子を用いて、所望パターンのシリアルクロックを得ることができる。

【0007】

【実施例】以下、本発明の1実施例を図面を参照して説明する。

【0008】図1において、10は発振器(OSC)、20はカウンタ(この例では、UPカウンタ)、30はクロックパターンデータを格納したメモリデバイス(この例では、EPROM)である。

【0009】発振器(OSC)10は、所定周波数のパ

ルスPを発振し、このパルスPをUPカウンタ20がカウントする。カウンタ20のカウント出力ポートQ<sub>0</sub>、Q<sub>1</sub>～Q<sub>n</sub>はメモリデバイス30のアドレスポートA<sub>0</sub>、A<sub>1</sub>～A<sub>n</sub>に接続されているので、当該アドレスのメモリ内容(データ)が、メモリデバイス30のデータ出力ポートD<sub>0</sub>、D<sub>1</sub>～D<sub>n</sub>から出力される。

【0010】今、EPROM30が4ビットデバイスで、アドレスA<sub>0</sub>～A<sub>3</sub>のデータが、(0001)、(0100)、(0110)、(1001)であるとすると、例えば、出力ポートD<sub>0</sub>の出力は、カウンタ20がパルスPを計数する毎に、(1→0→0→1→1・・・)となり、出力ポートD<sub>1</sub>の出力は、カウンタ20がパルスPを計数する毎に、(0→0→1→1→0・・・)となり、出力ポートD<sub>2</sub>は、(0→1→1→0→0・・・)、出力ポートD<sub>3</sub>は、(0→0→0→1→0・・・)となり、各出力ポートD<sub>0</sub>、D<sub>1</sub>～D<sub>n</sub>から異なるシリアルクロックパターンを得ることができる。

【0011】本実施例では、発振器(OSC)10の発振周波数を変えることにより、シリアルクロックの周波数を容易に変えることができ、異なるクロックパターンデータを書き込んだメモリデバイスを標準化して複数用意しておけば、メモリデバイス30を取り替えることにより、所望パターンのシリアルクロックを得ることができる。

【0012】本実施例は、メモリデバイスにクロックデータを書き込んでおき、発振器の出力パルスをカウントするカウンタで、メモリデバイスのアドレスを指定させて、シリアルクロックを得るものであるから、極めて汎用的な素子、デバイスだけで、所望パターンのシリアルクロックを容易に得ることができる。

【0013】なお、メモリデバイス30としては、マスクROM、ワンタイムPROM、E<sup>2</sup>PROM等を使用してもよい。

【0014】また、カウンタも、UP/DOWNカウンタを用いれば、逆パターンのシリアルクロックを得ることができる。

【0015】

【発明の効果】本発明は以上説明した通り、汎用的な素子、デバイスを用い、安価に費用で、所望パターンのシリアルクロックを容易に得ることができる。

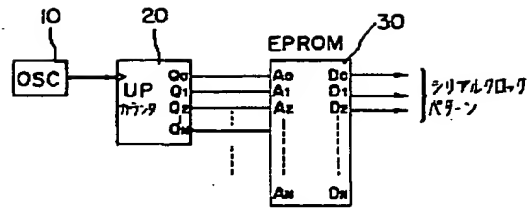
## 【図面の簡単な説明】

【図1】本発明の実施例を示すブロック図である。

## 【符号の説明】

10 発振器  
20 UPカウンタ  
30 メモリデバイス

【図1】



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-282348

(43)Date of publication of application : 07.10.1994

(51)Int.Cl.

G06F 1/06  
H03K 5/156

(21)Application number : 05-066538

(71)Applicant : SHINKO ELECTRIC CO LTD

(22)Date of filing : 25.03.1993

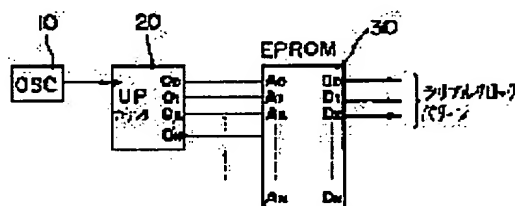
(72)Inventor : OKUNI MASAHIITO

## (54) SERIAL CLOCK GENERATING CIRCUIT

## (57)Abstract:

PURPOSE: To provide a serial clock generating method capable of simply and easily obtaining serial clocks with arm optional pattern by using general purpose elements.

CONSTITUTION: This serial clock generating circuit is provided with an oscillator 10 for oscillating a pulse string with fixed frequency, a counter 20 for counting up output pulses outputted from the oscillator 10 and a memory device 30 whose respective address ports are respectively connected to corresponding output ports of the counter 20. The memory device 30 is characterized by storing clock pattern data.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office